

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11026633 A**

(43) Date of publication of application: **29.01.99**

(51) Int. Cl. **H01L 23/12**  
**H01L 21/338**  
**H01L 29/812**

(21) Application number: **09177932**

(71) Applicant: **NEC CORP**

(22) Date of filing: **03.07.97**

(72) Inventor: **ASANO KAZUNORI**

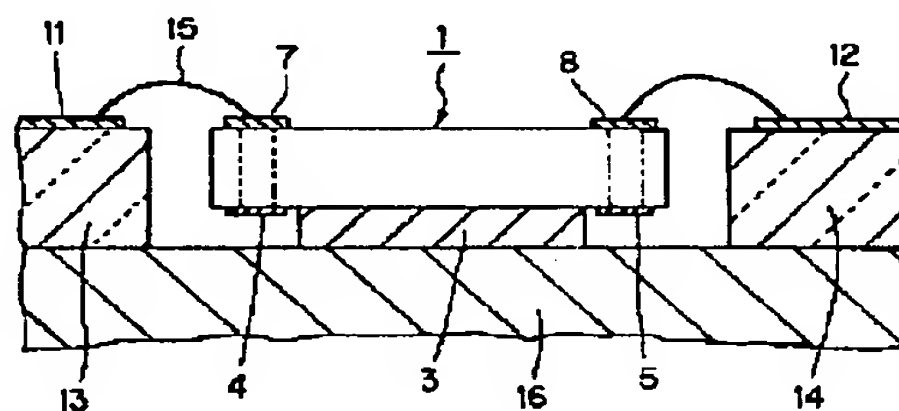
(54) **SEMICONDUCTOR ELEMENT AND MOUNTING  
STRUCTURE THEREOF**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To lower the source inductance by bonding a MESFET by flip chip method to improve the heat radiation and facilitate the mounting process.

**SOLUTION:** Source electrode pads 3, gate electrode relay pads 4 and drain electrode relay pads 5 are formed on an active element face of a substrate, the relay pads 4, 5 are connected to gate electrode pads 7 and drain electrode pads 8 on the substrate back surface through vias, FET chip 1 is mounted on a package heat sink 16 by the face down method, gate electrode pads 7 are connected to input electrodes 11 on an input circuit board 13 through bonding wires 15 and drain electrode pads 8 are connected to output electrodes 12 on an output circuit board 14 through bonding wires 15.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26633

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

F

21/338

29/80

G

29/812

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平9-177932

(22) 出願日

平成9年(1997) 7月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 麻埜 和則

東京都港区芝五丁目7番1号 日本電気株式会社内

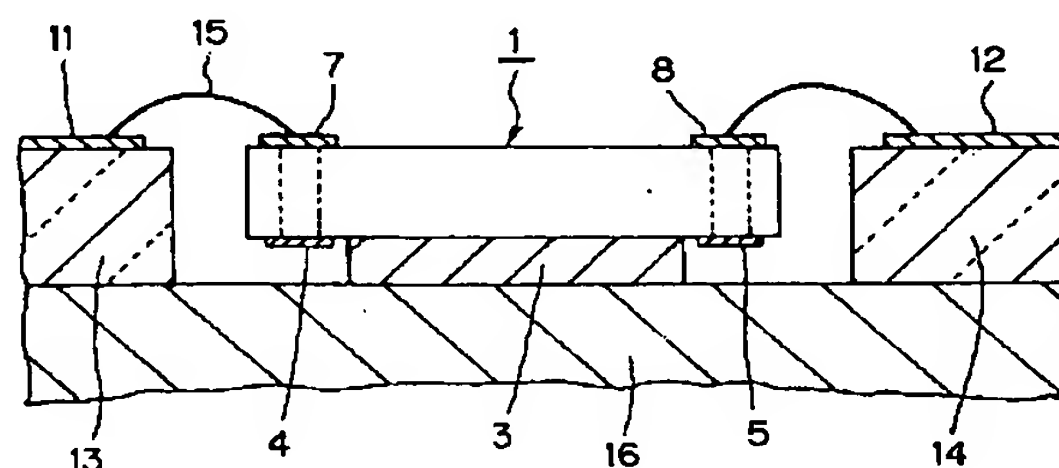
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体素子およびその実装構造

(57) 【要約】

【目的】 MESFETをフリップチップ方式でボンディングしてソースインダクタンスを低減し放熱性を向上させるとともに実装工程を簡易化する。

【構成】 基板の能動素子面にソース電極パッド3とゲート電極中継パッド4とドレイン電極中継パッド5を形成し、中継パッド4、5をバイアホールを介して基板裏面のゲート電極パッド7とドレイン電極パッド8に接続する。FETチップ1をパッケージヒートシンク部16上にフェースダウン方式にて搭載し、ゲート電極パッド7を入力側回路基板13上の入力側電極11にボンディングワイヤ15で接続し、ドレイン電極パッド8を出力側回路基板14上の出力側電極12にボンディングワイヤ15で接続する。



- 11…入力側電極
- 12…出力側電極
- 13…入力側回路基板
- 14…出力側回路基板
- 15…ボンディングワイヤ
- 16…パッケージヒートシンク部

## 【特許請求の範囲】

【請求項 1】 化合物半導体基板の第 1 主面側に電界効果トランジスタの能動領域が設けられ、該第 1 主面上に前記能動領域の各電極に接続されたソース電極パッド、ゲート中継パッドおよびドレイン中継パッドが設けられ、前記化合物半導体基板の第 2 主面上にゲート電極パッドおよびドレイン電極パッドが設けられた半導体素子において、前記ゲート中継パッドー前記ゲート電極パッド間、および、前記ドレイン中継パッドー前記ドレイン電極パッド間が、バイアホールまたは基板側面に形成された配線によって接続されていることを特徴とする半導体素子。

【請求項 2】 ソース電極とドレイン電極とがインターディジット状に形成されており、ソース電極に接続された前記ソース電極パッドが、ドレイン電極およびゲート電極を跨いでブリッジ状に形成されていることを特徴とする請求項 1 記載の半導体素子。

【請求項 3】 化合物半導体基板の第 1 主面側に電界効果トランジスタの能動領域が設けられ、該第 1 主面上に前記能動領域の各電極に接続されたソース電極パッド、ゲート中継パッドおよびドレイン中継パッドが設けられ、前記化合物半導体基板の第 2 主面上にゲート電極パッドおよびドレイン電極パッドが設けられ、前記ゲート中継パッドー前記ゲート電極パッド間、および、前記ドレイン中継パッドー前記ドレイン電極パッド間が、バイアホールまたは基板側面に形成された配線によって接続されている半導体素子を、フェースダウンにてパッケージのヒートシンク上に搭載し、前記ゲート電極パッドとパッケージ上の入力側電極との間、および、前記ドレイン電極パッドとパッケージ上の出力側電極との間が電気的に接続されていることを特徴とする半導体素子の実装構造。

【請求項 4】 前記ゲート電極パッドとパッケージ上の前記入力側電極との間、および、前記ドレイン電極パッドとパッケージ上の前記出力側電極との間がボンディングワイヤにより接続されていることを特徴とする請求項 3 記載の半導体素子の実装構造。

【請求項 5】 パッケージ上の前記入力側電極および前記出力側電極が、前記ゲート電極パッドおよび前記ドレイン電極パッドとほぼ同一平面上に位置していることを特徴とする請求項 3 記載の半導体素子の実装構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体素子およびその実装構造に関し、特にマイクロ波帯で高出力動作させる化合物半導体電界効果トランジスタ（以下、FETと記す）の構造とその実装構造に関する。

## 【0002】

【従来の技術】高出力GaAs FETは高電流、高電圧で動作させるためにDC電力の消費が大きく、動作時の

チャネル温度上昇が著しい。そのため素子信頼性を確保するためにはFETの熱抵抗を低減し、チャネル温度の上昇を抑える必要がある。従来の高出力トランジスタの一般的な実装構造は、能動領域と同一面に形成されたソース電極パッドをバイアホールなどを介して裏面電極に接続し、トランジスタをフェースアップ状態にてパッケージのヒートシンク上に搭載してチップの裏面電極をヒートシンクに接続し、能動領域と同一面に形成されたゲート電極パッドとドレイン電極パッドとをそれぞれパッケージ上に設けられた入力側電極と出力側電極とにボンディングワイヤにて接続するものであった。

【0003】しかし、この構造では、ソースインダクタンスが高くさらに高い周波数での動作が要求されるようになると高周波域での出力低下が著しくなり、よりソースインダクタンスの低い構造が必要となってきた。この要求に応えるものとしてフリップチップマウント方式と呼ばれる実装方法が提案されている。これは、上述した素子動作層面を上に向けたフェースアップに代え、素子動作層面をパッケージに向けてマウントするフェースダウン実装方法である。

【0004】図6は、IEEE TRANSACTIONS ON MICRO WAVE THEORY AND TECHNIQUES, Vol. MTT-27, No. 5, May 1979, p. 367-378 "GaAs Power MESFET's: Design, Fabrication, and Performance"にて提案されたFETの実装構造（以下、第1の従来例という）の断面図である。同図に示されるように、FETチップ1の能動素子面の中央部には、ソース電極パッド3が設けられ、能動素子面の周辺部にはゲート電極パッド4aとドレイン電極パッド5aとが形成されている。FETチップ1をパッケージヒートシンク部16上にマウントし、パッケージ内に設けられた入力側回路基板13、出力側回路基板14上にそれぞれ形成された入力側電極11、出力側電極12を、それぞれFETチップのゲート電極パッド4a、ドレイン電極パッド5aとリード線24を介して接続する。この構造にすることにより動作層で発生した熱は大部分ソース電極を通してパッケージに放散され、熱伝導率の低いGaAs基板を通した熱の伝導は少ないため、熱抵抗を低くすることができ、チャネル温度の上昇を抑制することが可能となる。またソース電極パッドが直接パッケージと接続されているためにソースインダクタンスを大幅に低減でき、高周波特性の向上が可能となる。

【0005】また、図7は、信学技報 MW78-116、61~66頁「12GHz・4Wフリップチップ型GaAs FET」にて提案された、フリップチップ構造FETの実装構造（以下、第2の従来例という）を示す断面図である。この方式では、ソース電極パッド3を厚メッキにより形成するとともに、ゲート電極パッド4aとドレイン電極パッド5aも厚メッキで形成し、それぞれの電極パッドを直接、パッケージヒートシンク部16および入力側電極11、出力側電極12にボンディング

している。この構造では、第1の従来例の場合のような入出力のリード線を必要としないため実装工程はやや簡単になる。

#### 【0006】

【発明が解決しようとする課題】上述した第1の従来例では、下向きに配置された電極パッドとパッケージ側の電極との間をリード線にて接続しなければならないため、実装工程上に問題がある。すなわち、チップと回路基板間の接続方法としては、予めチップ動作層表面の電極パッドにリード線の一端を接続しておき、チップマウント後にリード線の他端を回路基板に接続する方法、あるいは回路基板上の電極から硬いリード線を引きだしておきその先端をマウント後のチップの電極パッドに弾性的に接触させる方法、などが考えられるが、前者では、リード線の接続工程が2回に分割されるため工程が煩雑になる。また、後者では、リード線の回路基板上への固着が難しい上にリード線と電極パッドの位置合わせに高い精度が必要となる。また、第2の従来例では、マウント時にチップ上の電極パッドを観察することができないため、高精度の位置合わせが困難で信頼性の低下や特性のばらつきを招くという問題点がある。したがって、本発明の解決すべき課題は、従来より広く採用されてきたフェースアップマウント方式の組立て工程をそのまま使うことができ、容易にかつ高精度にボンディングを行うことのできるフェースダウン実装（フリップチップマウント）することのできる素子構造およびその実装構造を提供することである。

#### 【0007】

【課題を解決するための手段】上述の課題を解決するため、本発明によれば、化合物半導体基板の第1主面側に電界効果トランジスタの能動領域(2)が設けられ、該第1主面上に前記能動領域の各電極に接続されたソース電極パッド(3)、ゲート中継パッド(4)およびドレイン中継パッド(5)が設けられ、前記化合物半導体基板の第2主面上にゲート電極パッド(7)およびドレイン電極パッド(8)が設けられ、前記ゲート中継パッド-前記ゲート電極パッド間、および、前記ドレイン中継パッド-前記ドレイン電極パッド間が、バイアホール(6)または基板側面に形成された側面配線(23)によって接続されていることを特徴とする半導体素子、が提供される。

【0008】また、本発明によれば、上記した半導体素子を、フェースダウンにてパッケージのヒートシンク上に搭載し、前記ゲート電極パッドとパッケージ上の入力側電極との間、および、前記ドレイン電極パッドとパッケージ上の出力側電極との間が電氣的に接続されていることを特徴とする半導体素子の実装構造、が提供される。

【0009】【作用】本発明の半導体素子は、ゲート電極およびドレイン電極がそれぞれ中継パッドおよびバイ

アホールまたは側面配線を介して基板裏面のゲート電極パッドおよびドレイン電極パッドに引き出されているので、FETチップをフェースダウン方式にて（すなわち、フリップチップ方式にて）パッケージにマウントしてもゲート電極パッドおよびドレイン電極パッドを通常のワイヤボンディングにて回路基板の入力側電極および出力側電極に接続することが可能になる。したがって、本発明によれば、従来のフェースアップ方式の実装方法と同様な方法で実装を行うことが可能になるため、フェースダウン方式実装の特長、すなわちソース電極パッドを直接ヒートシンクに接続したことによりソースインダクタンスの低減と放熱性の向上を図ることができるという特長を活かしつつ、実装工程を容易化し実装コストを低減化することができる。

#### 【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は、本発明の第1の実施の形態を説明するための図であって、図1(a)は平面図、図1(b)は底面図、図1(c)は図1(b)のA-A'線での断面図である。図1(a)に示すように、FETチップ1の表面には、チップ中央部にソース電極パッド3が形成され、周辺部にゲート電極中継パッド4、ドレイン電極中継パッド5が形成されている。GaAs基板10の表面領域内にはFET能動層2が形成されており、その上にはソース電極とドレイン電極がインターディジットに形成されており、ソース電極とドレイン電極の間にはゲート電極が配置されている。ソース電極パッド3は複数のソース電極を並列に接続するように、かつゲート電極とドレイン電極を跨ぐように形成されている。また、図1(b)、(c)に示すように、FETチップ1の裏面には、表面の電極中継パッドに対応する位置に、ゲート電極パッド7、ドレイン電極パッド8が形成されており、それぞれバイアホール6を介して接続されている。ソース電極パッド3の厚さは5~10μmであり、ゲート電極中継パッド4、ドレイン電極中継パッド5、ゲート電極パッド7およびドレイン電極パッド8の厚さは1~2μmであって、これらは金メッキにより形成されている。

【0011】図2は、図1のFETチップをパッケージ内に実装した状態を示す断面図である。FETチップはパッケージ上にフェースダウン方式にて実装され、接地端子となるパッケージヒートシンク部16にFETチップ表面のソース電極パッド3が直接接続される。またゲート電極パッド7は入力側回路基板13上に形成された入力側電極11とボンディングワイヤ15にて接続され、ドレイン電極パッド8は出力側回路基板14上に形成された出力側電極12とボンディングワイヤにて接続されている。ここで、電極パッド7、8の高さは回路基板上の電極11、12とほぼ同じになされている。これにより、寄生インダクタンスの増加を最小限に抑えるこ



とができる。このFETチップのパッケージへのマウント方式は、フェースダウンであることを除けば通常のフェースアップ方式の高出力FETチップの実装工程と同じ工程を用いているため、特殊な工程や装置は必要ではなく容易に安定して実施することができる。

【0012】図3は、本発明の第1の実施の形態のFETチップの製造工程を示す工程順の断面図である。まず、図3(a)に示すように、GaAs基板10の表面領域内にFET能動層2を形成し、適当な素子分離工程、電極形成工程を行ってFET能動素子部を形成する。ここで形成されるFET能動素子部としては、一般的に化合物半導体基板上に形成されるMESFET構造、HEMT構造などを採用することができる。FET能動素子部の形成後、FET能動素子部のゲート電極、ドレイン電極から配線金属を用いて外部に引き出された部分に、ゲート電極中継パッド4、ドレイン電極中継パッド5を形成する。ここで各電極中継パッドは金メッキ法を用いて厚さ1~2 $\mu$ mに形成する。ゲート、ドレイン電極中継パッドの形成後にSiO<sub>2</sub>またはSiN等の絶縁膜で電極引き出し配線、電極中継パッドを保護することで、実装時のショートを避けることができる。次に、FET能動素子部全体を覆うように、そしてインターディジット状に形成されたドレイン電極とゲート電極を跨ぐようにソース電極パッド3を形成する。この工程も金メッキ法を用いるが、膜厚は5~10 $\mu$ m程度に厚く形成する。

【0013】次に、図3(b)に示すように、FETが形成されたGaAs基板10を研磨して100~150 $\mu$ m程度に薄くする。ここで基板厚はバイアホール形成工程で不具合がでない程度に厚くしてもよい。この後、基板裏面において、フォトリソグラフィ法を用いて表面のゲート電極中継パッド4、ドレイン電極中継パッド5に相対する位置に開口を有するフォトレジスト膜17aを形成し、塩素ガスあるいは塩化ホウ素ガス等を用いた反応性ドライエッチングによりバイアホール6を基板表面の電極中継パッドまで開孔する。次に、図3(c)に示すように、フォトレジスト膜17aを除去した後、スパッタ法によりTi/Au等の下地金属層18を成膜する。そして、新たにフォトリソグラフィ法によりバイアホール部および裏面電極パッドが形成される部分に開口を有するフォトレジスト膜17bを形成し、このフォトレジスト膜17bをマスクとして金メッキ法を用いて金メッキ層19を形成する。次に、図3(d)に示すように、フォトレジスト膜17bを除去し、金メッキ層19をマスクとして露出した下地金属層18をエッチング除去して、基板裏面に、表面のゲート電極中継パッド、ドレイン電極中継パッドと各々接続されたゲート電極パッド7、ドレイン電極パッド8を形成する。最後に、ダイシングによりウェハを個々のFETチップ1に分離してFET製造工程が完了する。

【0014】図4は、本発明の第2の実施の形態を説明するための図であって、図4(a)は平面図、図4

(b)は底面図、図4(c)は図4(b)のB-B'線の断面図である。図4に示すように、第1の実施の形態と同様に、GaAs基板10の表面領域内には、FET能動層2が形成され、そのFET能動層2を覆うようにソース電極パッド3が形成されている。基板表面の周辺部には、FET能動層2上に形成されたゲート電極とドレイン電極に接続されたゲート電極中継パッド4とドレイン電極中継パッド5が形成されている。これらのゲート電極中継パッド4、ドレイン電極中継パッド5は、基板側面に形成された側面配線23を介して、それぞれ基板裏面の周辺部に形成されたゲート電極パッド7、ドレイン電極パッド8に接続されている。ソース電極パッド3の厚さは5~10 $\mu$ mであり、ゲート電極中継パッド4、ドレイン電極中継パッド5、ゲート電極パッド7、ドレイン電極パッド8および側面配線23の厚さは1~2 $\mu$ mであって、これらは金メッキにより形成されている。このように構成された本実施の形態のFETチップ1も、図2示される第1の実施の形態の場合と同様に、フェースダウン方式にてパッケージのヒートシンク上にマウントされ、ボンディングワイヤにてゲート電極パッド、ドレイン電極パッドと入・出力電極間が接続される。

【0015】図5(a)~(d)は、第2の実施の形態のFETチップの製造方法を説明するための工程順の断面図である。図5(a)は、図3(a)に示した第1の実施の形態の場合と同様の工程により、GaAs基板10にFET能動層2、ソース電極パッド3、ゲート電極中継パッド4およびドレイン電極中継パッド5を形成した状態を示す。その後、図5(b)に示すように、FETが形成されたウェハ表面をワックス21を用いてガラス板22上に貼り付け、この状態で研磨を行い、基板厚を100~150 $\mu$ mまで薄くする。次に、フォトリソグラフィ法により、ウェハ裏面にウェハの分割線に沿って開口を有するフォトレジスト膜17cを形成し、これをマスクとして塩素ガスあるいは塩化ホウ素ガスを用いた反応性ドライエッチングによりウェハを個々のFETチップに分離するチップ分離部20を形成する。このとき、フォトレジスト膜17cの開口部は、電極中継パッド4、5の一部とオーバーラップするように形成されているため、チップ分離部20の底面にはゲート電極中継パッド4とドレイン電極中継パッド5の一部裏面が露出する。

【0016】次に、図5(c)に示すように、フォトレジスト膜17cを除去した後、スパッタ法によりTi/Au等の下地金属層18を成膜する。続いて、GaAs基板の電極パッドおよび側面配線の形成領域以外を被覆するようにフォトレジスト膜17dを形成し、このフォトレジスト膜17dをマスクとして金電解メッキにより

金メッキ層 19 を形成する。次に、図 5 (d) に示すように、フォトリソ膜 17 d を除去し、金メッキ層 19 をマスクとして露出した下地金属層 18 をエッチング除去して、基板裏面に、表面のゲート電極中継パッド、ドレイン電極中継パッドと各々側面配線 23 により接続されたゲート電極パッド 7、ドレイン電極パッド 8 を形成する。最後に、FET チップ 1 をガラス板 22 より剥離して FET 製造工程が完了する。

【0017】

【発明の効果】以上の説明したように、本発明による実装方式は、能動素子面に素子電極パッドを、基板裏面にゲート・ドレイン電極パッドを形成し、フリップチップボンディングの後、ゲート・ドレイン電極パッドとパッケージの入・出力電極とをボンディングワイヤ等により接続するものである。本発明によれば、組立て時に特別な実装方法あるいは特別なパッケージ、回路基板を用いずに、簡易で安定した方法によりフリップチップ実装を行うことが可能となり、放熱性、高周波特性をフリップチップ実装方式の場合と同等に維持しつつ、実装コストの低減を図ることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態を説明するための FET チップの平面図と底面図と断面図。

【図 2】 図 1 に示した FET チップのパッケージ内の実装状態を示す断面図。

【図 3】 図 1 に示した FET チップの製造方法を説明するための工程順の断面図。

【図 4】 本発明の第 2 の実施の形態を説明するための FET チップの平面図と底面図と断面図。

【図 5】 図 4 に示した FET チップの製造方法を説明 \* 30

\* するための工程順の断面図。

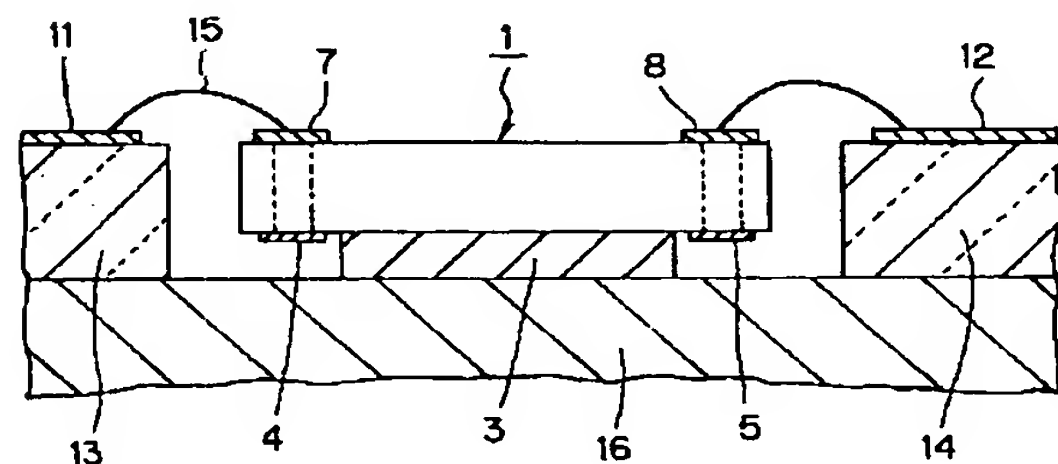
【図 6】 第 1 の従来例の断面図。

【図 7】 第 2 の従来例の断面図。

【符号の説明】

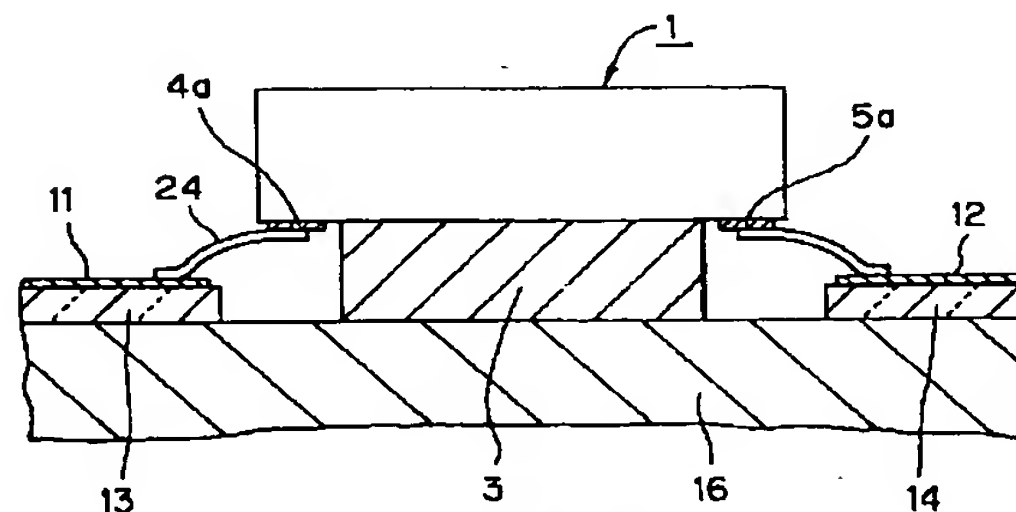
- 1 FET チップ
- 2 FET 能動層
- 3 ソース電極パッド
- 4 ゲート電極中継パッド
- 4a ゲート電極パッド
- 5 ドレイン電極中継パッド
- 5a ドレイン電極パッド
- 6 バイアホール
- 7 ゲート電極パッド
- 8 ドレイン電極パッド
- 10 GaAs 基板
- 11 入力側電極
- 12 出力側電極
- 13 入力側回路基板
- 14 出力側回路基板
- 20 15 ボンディングワイヤ
- 16 パッケージヒートシンク部
- 17a~17d フォトリソ膜
- 18 下地金属層
- 19 金メッキ層
- 20 チップ分離部
- 21 ワックス
- 22 ガラス板
- 23 側面配線
- 24 リード線

【図 2】



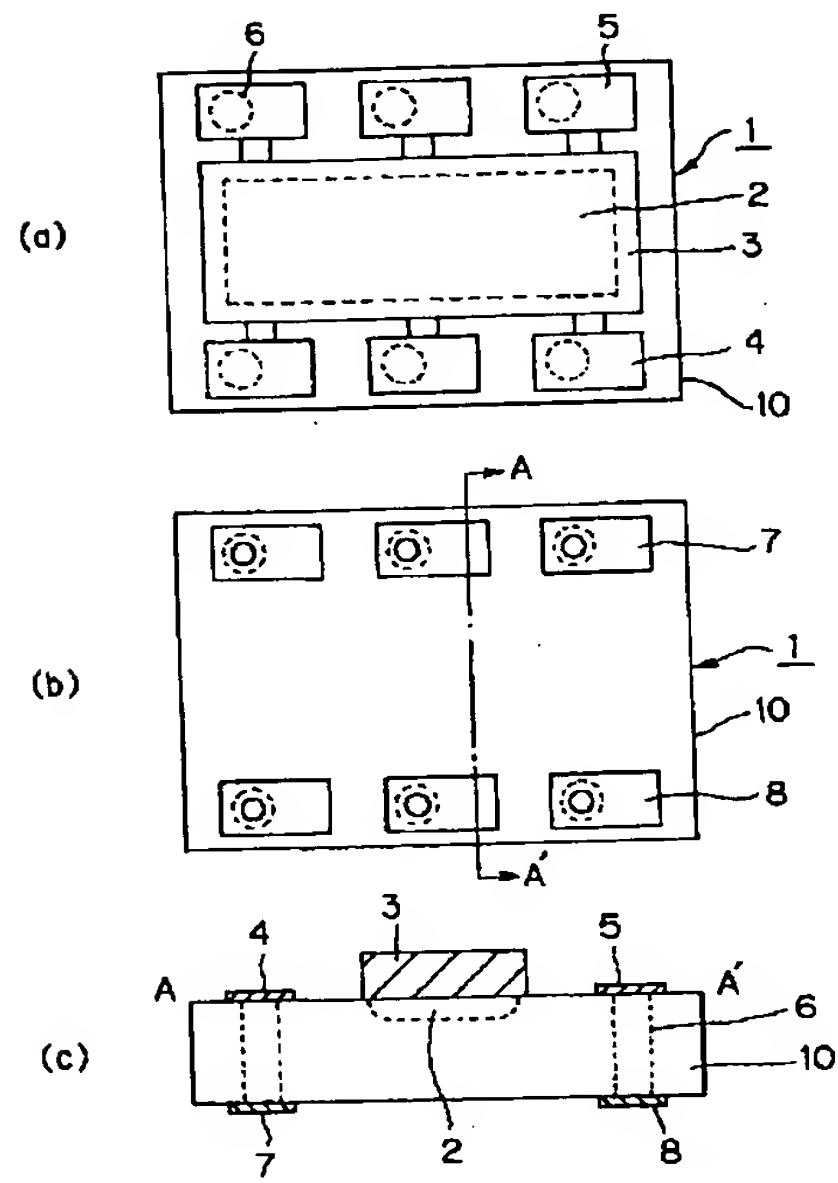
- 11…入力側電極
- 12…出力側電極
- 13…入力側回路基板
- 14…出力側回路基板
- 15…ボンディングワイヤ
- 16…パッケージヒートシンク部

【図 6】



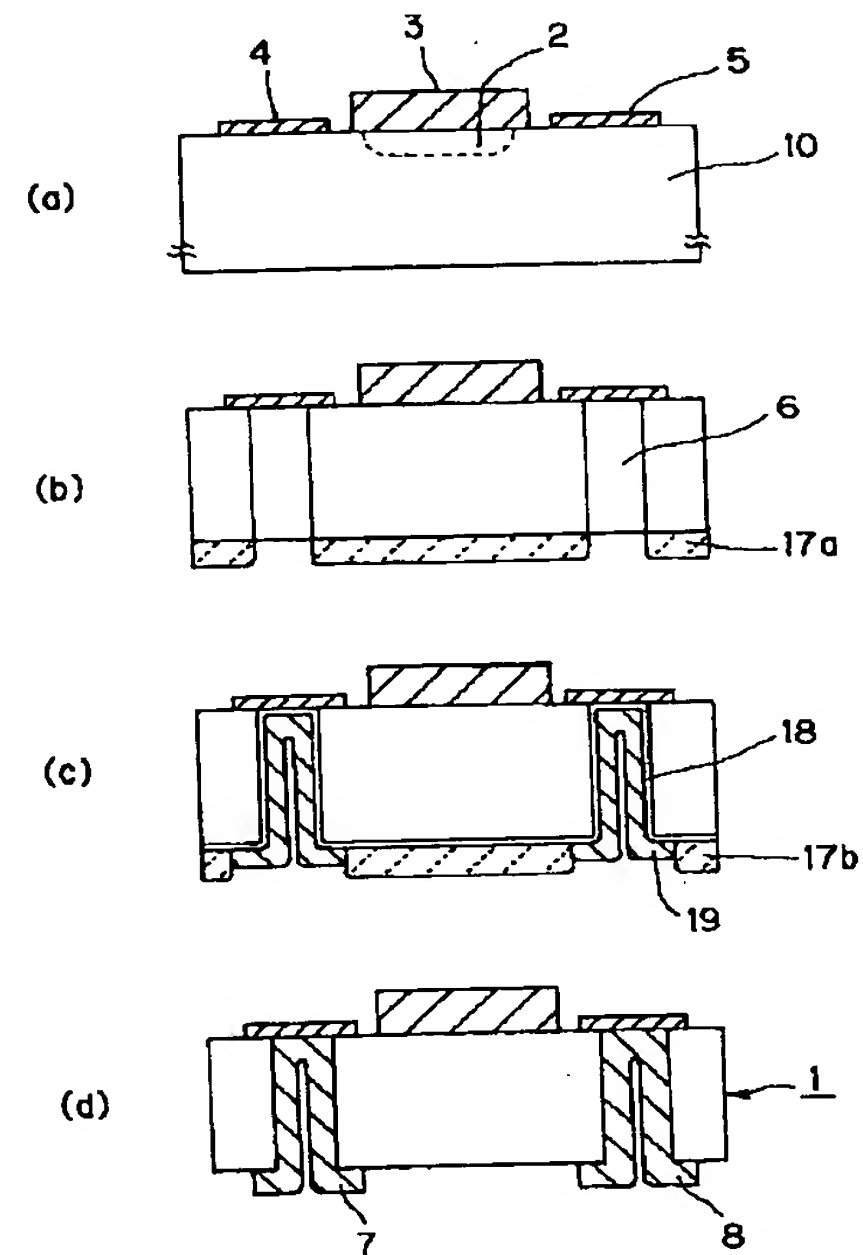
- 4a…ゲート電極パッド
- 5a…ドレイン電極パッド
- 24…リード線

【図1】



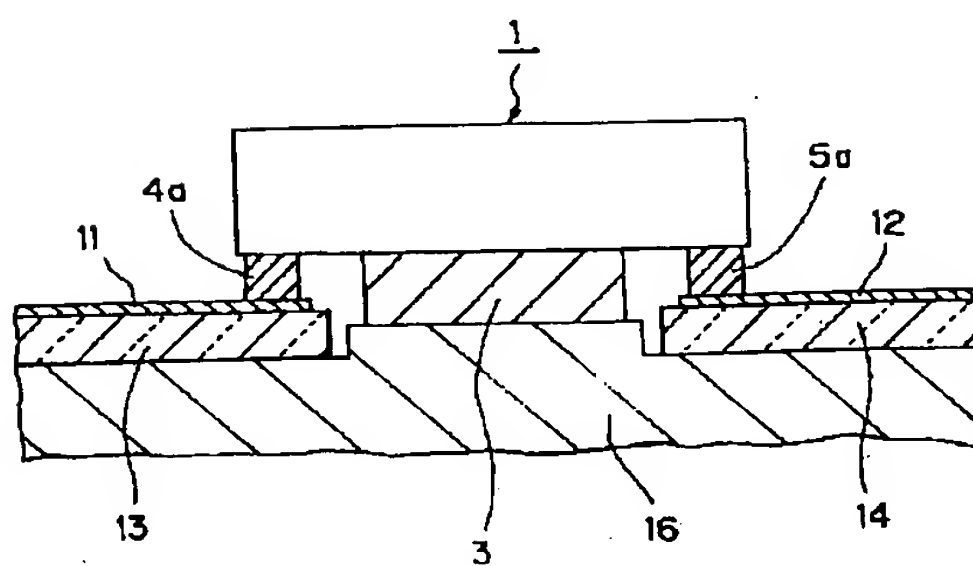
- 1…FETチップ  
2…FET能動層  
3…ソース電極パッド  
4…ゲート電極中継パッド  
5…ドレイン電極中継パッド  
6…バイアホール  
7…ゲート電極パッド  
8…ドレイン電極パッド  
10…GaAs基板

【図3】

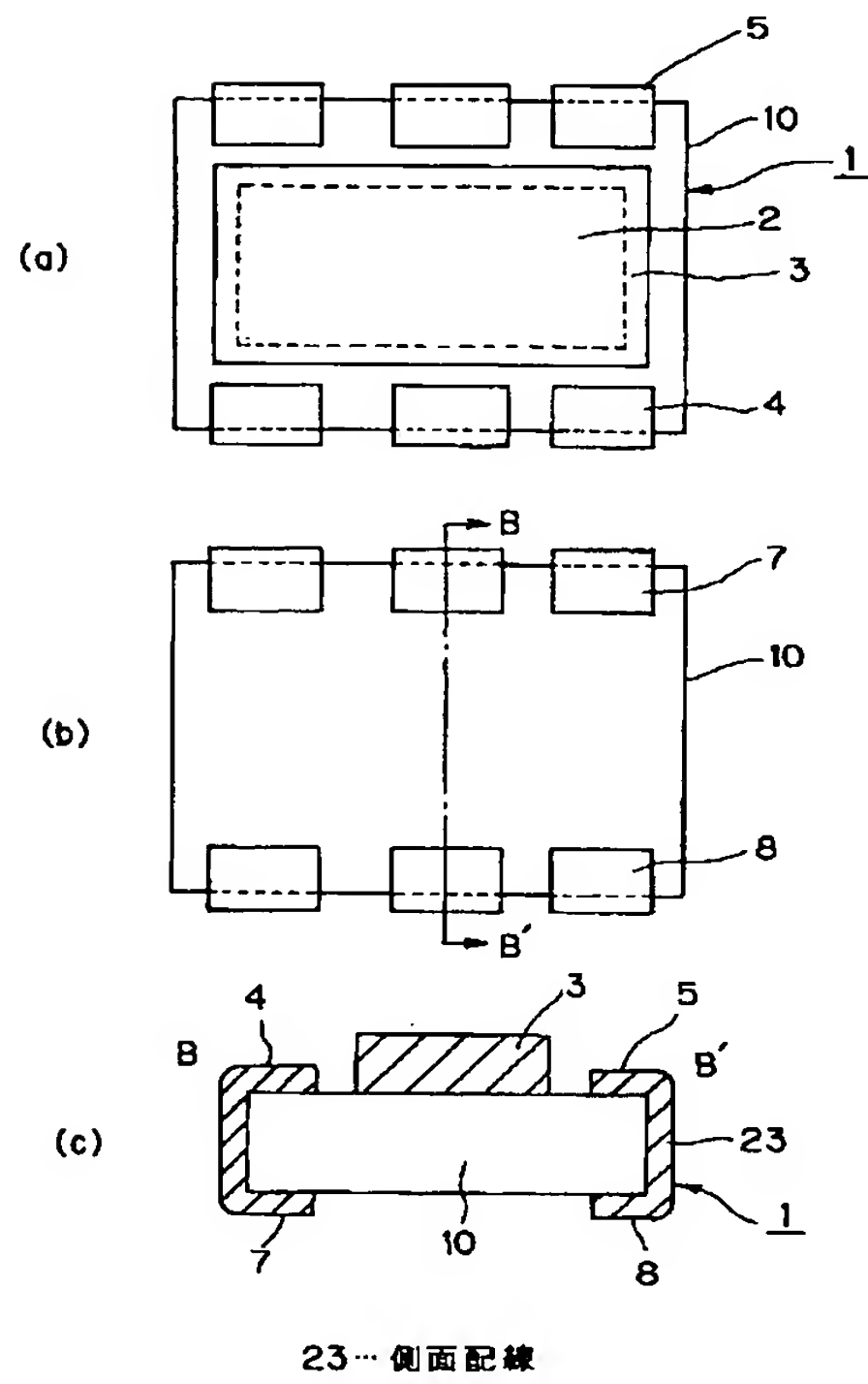


- 17a, 17b…フォトリソ膜  
18…下地金属層  
19…金メッキ層

【図7】



【図4】



【図5】

